VCS-MIX常用总结

VCS-MIX常用总结
- 一、分析阶段（analysis）
  - 1.1 分析阶段的常用命令
  - 1.2 常用参数
- 二、编译阶段（elaborate）
  - 2.1 编译阶段的常用命令
  - 2.2 常用参数
- 三、仿真阶段（simulate）
  - 3.1 仿真阶段的常用命令
  - 3.2 常用参数
- 四、Verdi常用命令参数

一、分析阶段（analysis）

1.1 分析阶段的常用命令

分析阶段的**常用命令**有如下：

```
vlogan -full64 [ vlogan-option] file.v +v2k          ## vlogan命令编译Verilo
g文件
vlogan -sverilog [vlogan -option] file.sv file2.v    ## -sverilog选项编译Sys
temVerilog文件
vhdlan -full64 [vhdlan-option] file.vhd              ## vhdlan命令编译VHDL文
件
```

1.2 常用参数

分析阶段的常用参数有如下：

`-sverilog`：支持SV语法的编译

`-f <filelist>`：添加待编译文件列表

`-full64`：在64-bit模式下编译，生成64-bit模式仿真的可执行文件

`+v2k`：使能Verilog-2001标准（小写的k）

`-q`：安静模式，屏蔽VCS的编译信息

`-timescale=<time_unit/time_precision>`：timescale参数，优先级高于源文件中的timescale

`+define+<DEFINE>`：通过编译向源文件中添加宏定义，类似于链接脚本向汇编传参

`+incldir+<directory>`：指定VCS搜索 `**include** 指令使用的包含文件的目录，可以用 “+” 定义多个目录

`-l`：将分析信息重定向到一个文件中

二、编译阶段（elaborate）

2.1 编译阶段的常用命令

编译阶段的**常用命令**有如下：

```
vcs -full64 [elab-option] -top testbench -o ./simv  ## 使用VCS编译分析结果，生成可执行文件simv
```

2.2 常用参数

编译阶段的常用参数有如下：
`-sverilog`：支持SV语法的编译

`-full64`：在64-bit模式下编译，生成64-bit模式仿真的可执行文件

`+v2K`：使能Verilog-2001标准（大写的K）

`-timescale=<time_unit/time_precision>`：timescale参数，优先级高于源文件中的timescale

`-R`：在编译之后立即执行产生的可执行文件（就不需要第三步了）

`-fsdb`：编译出 **fsdb** 波形文件

`-debug_access+all`： 使能UCLI命令行（一般打开就行）

`-j4`：四核并行编译（一般设置为物理核心数x2）

`-q`：安静模式，屏蔽VCS的编译信息

`-l`：将编译信息重定向到一个文件中

`-lca`：表示使用VCS的 **“用户限制使用”** 的功能，即VCS提供的一些功能是他们还没有经过充分测试还没有发布的；如果你想使用这些功能就要加上 **-lca** 参数

三、仿真阶段（simulate）

如果编译阶段附带了 **-R** 参数，则就不需要本阶段，不然会执行两次

3.1 仿真阶段的常用命令

```
simv [run-option]       ## 使用编译生成的simv可执行文件进行仿真
```

3.2 常用参数

`+nospecify`：屏蔽specify块中的路径延时和时序检查

`+notimingcheck`：屏蔽specify块中的时序检查

`+nbaopt`：删除非阻塞赋值语句中的延时

`-l`：将仿真信息重定向到一个文件中

四、Verdi常用命令参数

```
verdi -f Filelist.lst -ssf $(fsdbName)    ## 启动Verdi查看波形文件，并打开源码文件列表中的文件
```

`-ssf`：指定波形 **.fsdb** 文件

`-f <filelist>`：将文件列表导入Verdi，即可以在Verdi中查看工程源码